

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04155566 A**

(43) Date of publication of application: 28 . 05 . 92

(51) Int. Cl.

G06F 15/16
G06F 9/445
G06F 13/00

(21) Application number: **02281418**

(22) Date of filing: 19 . 10 . 90

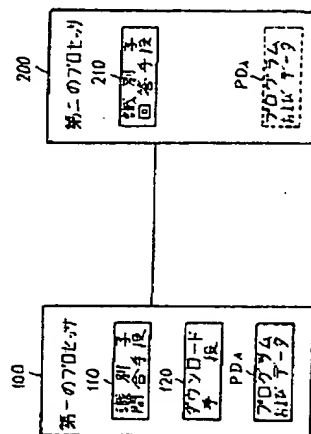
(71) Applicant: **FUJITSU LTD FUJITSU NAGOYA
TSUSHIN SYST KK**(72) Inventor: **ENDO NORIYO
OSAWA NAOKI**(54) **DOWN-LOAD SYSTEM**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To enable a down-load securing the normal operation of a information process system by executing the down-load of a program and data when a processor discrimination element preliminarily assumed to a second processor and the processor discrimination element answered from the second processor are matched.

CONSTITUTION: An identification element enquiring means 110 enquires the processor discrimination element discriminating a second processor 200 to be the object of the down-load to the second processor 200 before starting a down-load of a program and data PDA. A down-loading means 120 collates the processor discrimination element preliminarily assumed to the second processor 200 and the processor discrimination element answered from the second processor 200, and when the both processor discrimination elements are matched, the down-load of the program and data PDA to the second processor 200 is executed. Thus, the down-load securing the normal operation of the information process system becomes possible.



Japanese Publication for Unexamined Patent Application

No. 155566/1992 (Tokukaihei 4-155566)

(A) Relevance to claim

This document has relevance to claims 1, 8, 12, 21, 22, 23, 24, 25, 26 and 27 of the present application.

(B) Translation of the Relevant Passages of the Document

[EMBODIMENT]

An embodiment of the present invention is described as follows in reference with diagrams. FIG. 2 is a diagram showing a packet switching device according to an embodiment, and FIG. 3 is a diagram showing an example of a download process of FIG. 2. Note that, the same reference numerals correspond to the same components through the whole diagrams.

In FIG. 2, a managing processor (MPR) 10 is shown as the first processor 100 of FIG. 1, and a circuit processing unit (CPU) 31 is shown as the second processor 200 of FIG. 1, and a processor identification element enquiring section (IDQ) 102 and a download section (RDL) 103 are provided in the managing processor (MPR) 10, as identification element enquiring means 110 and downloading means of FIG. 1 respectively. Further, a processor identification element answering section (IDA)

311 is provided in the circuit processing unit (CPU) 31, as identification element answering means 210 of FIG.1.

Respective processor identification answering sections (IDA) 311 possess processor identification element IDs for identifying respective personal circuit processing units (CPU) 31.

In FIG. 2 and FIG. 3, for example, when it is required to download a needed program and data PDA to the line controlling section (LC) 30-1, the operator enters a download command which specifies the line controlling section (LC) 30-1 as the downloading destination from the maintenance console (CSL) to the managing processor (MPR) 10.

The managing processor (MPR) 10 to which the download command was entered activates the processor identification element enquiring section (IDQ) 102, and generates a clear order aa including an inquiry of the processor identification element with respect to the line controlling section (LC) 30-1 which is specified by the download command, and the clear order aa is transmitted to a line processor (LPR) 20-1 corresponding to the line controlling section (LC) 30-1.

The line processor (LPR) 20-1 transmits an initialization interruption bb including an inquiry of the processor identification element to the line

controlling section (LC) 30-1 specified by the clear order aa. Thereafter, a clear request complete c is sent back to the managing processor (MPR) 10.

When the circuit processing unit (CPU) 31-1 receives the initialization interruption bb including an inquiry of the processor identification element, the line controlling section (LC) 30-1 executes initializing of the circuit processing unit (CPU) 31-1 itself and the circuit managing memory unit (MMU) 32-1. Thereafter, the line controlling section (LC) 30-1 activates the processor identification element answering section (IDA) 311-1, and generates a clear answering d (ID₁) including the processor identification element ID₁ possessed by the processor identification answering section (IDA) 311-1, and requires the corresponding line processor (LPR) 20-1 to forward the clear answering d (ID₁), and the line processor (LPR) 20-1 forwards the clear replying d (ID₁) to the managing processor (MPR). Thereafter, a transmission complete e is sent back to the circuit processing unit (CPU).

The managing processor (MPR) 10 which received the clear replying d (ID₁) activates the download section (RDL) 103, and checks the sent back processor identification element ID₁ which is included in the clear answering d (ID₁) with the processor identification

element ID₁ which was assumed to be sent back by the managing processor (MPR) 10 in advance. When the both ID₁s are coincident, the managing processor (MPR) 10 judges the program and data PDA corresponding to the processor identification element ID₁ to match an actual operation of the circuit processing unit, and generates the download request f, and requires the corresponding line processor (LPR) 20-1 to forward the download request f, and the line processor (LPR) 20-1 forwards the download request f to the line controlling section (LC) 30-1. Thereafter, the transmission complete is sent back to the managing processor (MPR) 10.

In the line controlling section (LC) 30-1, the circuit processing unit (CPU) 31-1 receives the download request f, and generates a download answering h, and requires the corresponding line processor (LPR) 20-1 to forward, and the line processor (LPR) 20-1 forwards the download answering h to the managing processor (MPR) 10.

The managing processor (MPR) 10 which received the download answering h extracts the program and data PDA which were confirmed to match the actual operation from a disk memory (DK) 12, and the program and data PDA are stored in a predetermined area of a main memory (MM) 11. Thereafter, the download request i is transmitted to the corresponding line processor (LPR) 20-1, and the line

processor (LPR) 20-1 extracts the program and data PDA stored in the predetermined area of the main memory (MM) 11, and the program and data PDA are forwarded to the line controlling section (LC) 30-1 and are stored in a predetermined area of the managing memory unit (MMU) 32-1, and a download complete j is forwarded to the managing processor (MPR) 10.

Note that, when the download section (RDL) 103 checks the sent back processor identification element ID₁ which is included in the clear answer d (ID₁) with the processor identification element ID₁ which was assumed to be sent back by the managing processor (MPR) 10 in advance, and the both ID₁s are not coincident, the download section (RDL) 103 does not download the program and data PDA, and generates a message showing that the processor identification element of the line controlling section (LC) 30-1 does not match an actual operation and transmits the message to the maintenance console (CSL) 13, and displays the message to the operator.

(3)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-155566

⑬ Int. Cl.³ 識別記号 庁内整理番号 ⑭ 公開 平成4年(1992)5月28日
 G 06 F 15/16 4 2 0 S 9190-5L
 9/445
 13/00 3 0 5 7368-5B
 7927-5B G 06 F 9/06 4 2 0 J
 7927-5B 4 2 0 K
 審査請求 未請求 請求項の数 1 (全7頁)

⑯ 発明の名称 ダウンロード方式

⑰ 特 願 平2-281418

⑱ 出 願 平2(1990)10月19日

⑲ 発 明 者 遠 藤 則 世 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 大 澤 直 樹 愛知県名古屋市中区錦1丁目19番24号 富士通名古屋通信システム株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 出 願 人 富士通名古屋通信システム株式会社 愛知県名古屋市中区錦1丁目19番24号

㉒ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

ダウンロード方式

2. 特許請求の範囲

第二のプロセッサ(200)が動作するために必要なプログラムおよびデータ(PD。)を、第一のプロセッサ(100)からダウンロードする情報処理システムにおいて、

前記第一のプロセッサ(100)に、前記プログラムおよびデータ(PD。)のダウンロードを開始するに先立ち、ダウンロードの対象とする第二のプロセッサ(200)を識別するプロセッサ識別子を、前記第二のプロセッサ(200)に問合わせる識別子問合手段(110)と、

前記第二のプロセッサ(200)に対して予め想定したプロセッサ識別子と、前記第二のプロセッサ(200)から回答されたプロセッサ識別子とを照合し、前記両プロセッサ識別子の整合がとれた場合に、前記第二のプロセッサ(200)に

対する前記プログラムおよびデータ(PD。)のダウンロードを実行するダウンロード手段(120)とを設け、

前記第二のプロセッサ(200)に、前記第一のプロセッサ(100)から前記プロセッサ識別子の問合わせを受けた場合に、該第二のプロセッサ(200)を識別するプロセッサ識別子を、前記第一のプロセッサ(100)に対して回答する識別子回答手段(210)を設けることを特徴とするダウンロード方式。

3. 発明の詳細な説明

〔概要〕

複数種類のプロセッサから構成され、プロセッサが動作するために必要なプログラムおよびデータを、他のプロセッサからダウンロードする情報処理システムにおけるダウンロード方式の改良に関し、

当該情報処理システムの正常な運転を保証するダウンロードを可能とする手段を実現することを目的とし、

(4)

特開平4-155566(2)

第二のプロセッサが動作するに必要なプログラムおよびデータを、第一のプロセッサからダウンロードする情報処理システムにおいて、第一のプロセッサに、プログラムおよびデータのダウンロードを開始するに先立ち、ダウンロードの対象とする第二のプロセッサを識別するプロセッサ識別子を、第二のプロセッサに問合わせる識別子問合手段と、第二のプロセッサに対して予め想定したプロセッサ識別子と、第二のプロセッサから回答されたプロセッサ識別子とを照合し、両プロセッサ識別子の整合がとれた場合に、第二のプロセッサに対するプログラムおよびデータのダウンロードを実行するダウンロード手段とを設け、第二のプロセッサに、第一のプロセッサからプロセッサ識別子の問合わせを受けた場合に、第二のプロセッサを識別するプロセッサ識別子を、第一のプロセッサに対して回答する識別子回答手段を設ける様に構成する。

C) 30とを具備している。

管理プロセッサ(MPR)10は、主記憶装置(MM)11、ディスク記憶装置(DK)12および保守コンソール(CSL)13と共に、当該パケット交換機全般の管理・制御を司り、また回線制御部(LC)30は、収容する複数の通信回線40に対するパケットの送受信を制御し、更に回線処理部(LPR)20は、複数の回線制御部(LC)30と管理プロセッサ(MPR)10との間のデータ転送を制御する。

当該パケット交換機に収容される通信回線40が増設される場合には、所定数の通信回線40を収容可能な回線制御部(LC)30を所要数増設することとなる。

各回線制御部(LC)30は、それぞれ回線制御プロセッサ(CPU)31および回線制御メモリ(MMU)32を具備しており、回線制御プロセッサ(CPU)31は回線制御メモリ(MMU)32内に格納されているプログラムおよびデータPDを実行することにより、前述のパケット

〔産業上の利用分野〕

本発明は、複数種類のプロセッサから構成され、プロセッサが動作するに必要なプログラムおよびデータを、他のプロセッサからダウンロードする情報処理システムにおけるダウンロード方式の改良に関する。

近年、例えばパケット交換機等の情報処理システムは、汎用性、高速性、信頼性、保守性等の要求を満たす為に、複数種類のプロセッサにより構成される場合が少なくない。

〔従来の技術〕

第4図は従来あるパケット交換機の一例を示す図であり、第5図は第4図におけるダウンロード過程の一例を示す図である。

第4図および第5図において、パケット交換機は、共通に設けられた管理プロセッサ(MPR)10と、複数の回線処理部(LPR)20(個々の回線処理部(LPR)を20-1、20-2等と称する、以下同様)と、複数の回線制御部(L

送受信制御を実行するが、各回線制御部(LC)30に収容される通信回線40の数および種別は一律では無い為、所要プログラムおよびデータPDも回線制御部(LC)30により異なる場合がある(個々のプログラムおよびデータをPD、乃至PD_nと称する)。

なお各回線制御部(LC)30には、例えば管理プロセッサ(MPR)10に併設されるディスク記憶装置(DK)12の如き外部記憶装置がそれぞれ併設されていない為、各回線制御部(LC)30において必要とするプログラムおよびデータPD、乃至PD_nは、一括してディスク記憶装置(DK)12に格納され、必要に応じて管理プロセッサ(MPR)10および回線処理部(LPR)20を介して各回線制御部(LC)30にダウンロードされることとなる。

例えば回線制御部(LC)30-1に所要のプログラムおよびデータPD_nをダウンロードする必要が生ずると、保守者はダウンロードの対象とする回線制御部(LC)30-1を指定したダウ

(5)

特開平4-155566(3)

ンロード指令を、保守コンソール(CSL)13から管理プロセッサ(MPR)10に入力する。

管理プロセッサ(MPR)10は、入力されたダウンロード指令に指定されている回線制御部(LC)30-1に対するクリアオーダaを生成し、回線制御部(LC)30-1に対応する回線処理部(LPR)20-1に伝達する。

回線処理部(LPR)20-1は、クリアオーダaにより指定される回線制御部(LC)30-1に対し初期設定割込みbを伝達した後、管理プロセッサ(MPR)10にクリア依頼完了cを返送する。

回線制御部(LC)30-1においては、回線制御プロセッサ(CPU)31-1が初期設定割込みbを受信すると、回線制御プロセッサ(CPU)31-1自身および回線制御メモリ(MMU)32-1に対する初期設定を実行した後、クリア応答dを生成し、対応する回線処理部(LPR)20-1に転送を依頼すると、回線処理部(LPR)20-1はクリア応答dを管理プロセ

ッサ(MPR)10に転送した後、回線制御プロセッサ(CPU)31-1に送信完了eを返送する。

クリア応答dを受信した管理プロセッサ(MPR)10が、ダウンロード要求fを生成し、対応する回線処理部(LPR)20-1に転送を依頼すると、回線処理部(LPR)20-1はダウンロード要求fを回線制御部(LC)30-1に転送した後、管理プロセッサ(MPR)10に送信完了gを返送する。

回線制御部(LC)30-1においては、回線制御プロセッサ(CPU)31-1がダウンロード要求fを受信すると、ダウンロード応答hを生成し、対応する回線処理部(LPR)20-1に転送を依頼すると、回線処理部(LPR)20-1はダウンロード応答hを管理プロセッサ(MPR)10に転送する。

ダウンロード応答hを受信した管理プロセッサ(MPR)10は、回線制御部(LC)30-1にダウンロードすべきプログラムおよびデータの

種別を認識しており、該当するプログラムおよびデータPD₁をディスク記憶装置(DK)12から抽出し、主記憶装置(MM)11の所定領域に格納した後、対応する回線処理部(LPR)20-1にダウンロード依頼iを伝達すると、回線処理部(LPR)20-1は、主記憶装置(MM)11の所定領域から格納されているプログラムおよびデータPD₁を抽出して回線制御部(LC)30-1に転送し、回線制御メモリ(MMU)32-1内の所定領域に格納した後、管理プロセッサ(MPR)10にダウンロード完了jを返送する。

〔発明が解決しようとする課題〕

以上の説明から明らかな如く、従来あるパケット交換機においては、管理プロセッサ(MPR)10がダウンロードの対象となる回線制御部(LC)30-1にダウンロードすべきプログラムおよびデータの種別を認識しており、該当するプログラムおよびデータPD₁を回線処理部(LPR)20-1を介してダウンロードさせていた為、万

一管理プロセッサ(MPR)10が認識していたプログラムおよびデータPD₁と、ダウンロードの対象となる回線制御部(LC)30-1(回線制御プロセッサ(CPU)31-1)が実際に必要とするプログラムおよびデータ(例えばPD₂)とが、例えば収容回線数等の点で異なった場合には、回線制御プロセッサ(CPU)31-1が適切に動作出来なくなり、当該パケット交換機の運転に支障を来す問題があった。

本発明は、当該情報処理システムの正常な運転を保障するダウンロードを可能とする手段を実現することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理を示す図である。

第1図において、100は第一のプロセッサ、200は第二のプロセッサ、PD₁は第二のプロセッサ100が動作するのに必要なプログラムおよびデータである。

(6)

特開平4-155566 (4)

110は、本発明により第一のプロセッサ100に設けられた識別子問合せ手段である。

120は、本発明により第一のプロセッサ100に設けられたダウンロード手段である。

210は、本発明により第二のプロセッサ200に設けられた識別子回答手段である。

〔作用〕

識別子問合せ手段110は、プログラムおよびデータPD.のダウンロードを開始するに先立ち、ダウンロードの対象とする第二のプロセッサ200を識別するプロセッサ識別子を第二のプロセッサ200に問合わせる。

識別子回答手段210は、第一のプロセッサ100からプロセッサ識別子の問合わせを受けた場合に、該第二のプロセッサ200を識別するプロセッサ識別子を、第一のプロセッサ100に対して回答する。

ダウンロード手段120は、第二のプロセッサ200に対して予め想定したプロセッサ識別子と、

第二のプロセッサ200から回答されたプロセッサ識別子とを照合し、両プロセッサ識別子の整合がとれた場合に、第二のプロセッサ200に対するプログラムおよびデータPD.のダウンロードを実行する。

従って、第一のプロセッサは、実際に第二のプロセッサが必要とするプログラムおよびデータのみを第二のプロセッサに転送することとなり、第二のプロセッサの確実な動作が保証されることとなり、当該情報処理システムの信頼性が向上する。

〔実施例〕

以下、本発明の一実施例を図面により説明する。第2図は本発明の一実施例によるパケット交換機を示す図であり、第3図は第2図におけるダウンロード過程の一例を示す図である。なお、全図を通じて同一符号は同一対象物を示す。

第2図においては、第1図における第一のプロセッサ100として管理プロセッサ(MPR)10が示され、また第1図における第二のプロセッサ

200として回線制御プロセッサ(CPU)31が示され、また第1図における識別子問合せ手段110およびダウンロード手段120として、それぞれプロセッサ識別子問合せ部(IDQ)102およびダウンロード部(RDL)103が管理プロセッサ(MPR)10内に設けられ、また第1図における識別子回答手段210としてプロセッサ識別子回答部(IDA)311が回線制御プロセッサ(CPU)31内に設けられている。

各プロセッサ識別子回答部(IDA)311は、それぞれ自回線制御プロセッサ(CPU)31を識別するプロセッサ識別子IDを保有している。

第2図および第3図において、例えば回線制御部(LC)30-1に所要のプログラムおよびデータPD.をダウンロードする必要があると、保守者はダウンロードの対象とする回線制御部(LC)30-1を指定したダウンロード指令を、保守コンソール(CSL)13から管理プロセッサ(MPR)10に入力する。

ダウンロード指令を入力された管理プロセッサ

(MPR)10は、プロセッサ識別子問合せ部(IDQ)102を起動し、ダウンロード指令に指定されている回線制御部(LC)30-1に対し、プロセッサ識別子の問合わせを含むクリアオーダaaを生成し、回線制御部(LC)30-1に対応する回線処理部(LPR)20-1に伝達する。

回線処理部(LPR)20-1は、クリアオーダaaにより指定される回線制御部(LC)30-1に対し、プロセッサ識別子の問合わせを含む初期設定割込みbbを伝達した後、管理プロセッサ(MPR)10にクリア依頼完了cを返送する。

回線制御部(LC)30-1においては、回線制御プロセッサ(CPU)31-1がプロセッサ識別子の問合わせを含む初期設定割込みbbを受信すると、回線制御プロセッサ(CPU)31-1自身および回線制御メモリ(MMU)32-1に対する初期設定を実行した後、プロセッサ識別子回答部(IDA)311-1を起動し、プロセッサ識別子回答部(IDA)311-1が保有するプロセッサ識別子ID、を含むクリア応答d

(7)

特開平4-155566(5)

(ID_i)を生成し、対応する回線処理部(LPR)20-1に転送を依頼すると、回線処理部(LPR)20-1はクリア応答d(ID_i)を管理プロセッサ(MPR)10に転送した後、回線制御プロセッサ(CPU)31-1に送信完了eを返送する。

クリア応答d(ID_i)を受信した管理プロセッサ(MPR)10は、ダウンロード部(RDL)103を起動し、クリア応答d(ID_i)に含まれて返送されたプロセッサ識別子ID_iと、管理プロセッサ(MPR)10が予め想定していたプロセッサ識別子ID_iとを照合し、両者が一致した場合には、プロセッサ識別子ID_iに対応するプログラムおよびデータPD_iが実際の回線制御プロセッサ(CPU)31-1の動作に整合が取れていると判断し、ダウンロード要求fを生成し、対応する回線処理部(LPR)20-1に転送を依頼すると、回線処理部(LPR)20-1はダウンロード要求fを回線制御部(LC)30-1に転送した後、管理プロセッサ(MPR)

10に送信完了gを返送する。

回線制御部(LC)30-1においては、回線制御プロセッサ(CPU)31-1がダウンロード要求fを受信すると、ダウンロード応答hを生成し、対応する回線処理部(LPR)20-1に転送を依頼すると、回線処理部(LPR)20-1はダウンロード応答hを管理プロセッサ(MPR)10に転送する。

ダウンロード応答hを受信した管理プロセッサ(MPR)10は、整合が取れていることを確認したプログラムおよびデータPD_iをディスク記憶装置(DK)12から抽出し、主記憶装置(MM)11の所定領域に格納した後、対応する回線処理部(LPR)20-1にダウンロード依頼iを伝達すると、回線処理部(LPR)20-1は、主記憶装置(MM)11の所定領域から格納されているプログラムおよびデータPD_iを抽出して回線制御部(LC)30-1に転送し、回線制御メモリ(MMU)32-1内の所定領域に格納した後、管理プロセッサ(MPR)10にダウンロ

ード完了jを返送する。

なおダウンロード部(RDL)103が、クリア応答d(ID_i)に含まれて返送されたプロセッサ識別子ID_iと、管理プロセッサ(MPR)10が予め想定していたプロセッサ識別子ID_iとの照合の結果、両者が不一致の場合には、ダウンロード部(RDL)103はプログラムおよびデータPD_iのダウンロードを行うことなく、回線制御部(LC)30-1のプロセッサ識別子の不整合を示すメッセージを生成して保守コンソール(CSL)13に伝達し、保守者に表示する。

以上の説明から明らかな如く、本実施例によれば、管理プロセッサ(MPR)10は回線制御プロセッサ(CPU)31-1にプログラムおよびデータPD_iをダウンロードするに先立ち、回線制御部(LC)30-1にプロセッサ識別子ID_iを問合わせ、回線制御部(LC)30-1から回答されたプロセッサ識別子ID_iと、管理プロセッサ(MPR)10が想定していたプロセッサ識別子ID_iとの整合を確認する為、実際に回線

制御プロセッサ(CPU)31-1が必要とするプログラムおよびデータPD_iのみがダウンロードされることとなり、回線制御部(LC)30-1の正常な動作が保証される。

なお、第2図および第3図はあく迄本発明の一実施例に過ぎず、例えばダウンロードの対象となる回線制御プロセッサ(CPU)31は回線制御プロセッサ(CPU)31-1に限定されることは無く、他に幾多の変形が考慮されるが、何れの場合にも本発明の効果は変わらない。また本発明の対象となる情報処理システムは、図示されるパケット交換機に限定されぬことは言う迄も無い。

〔発明の効果〕

以上、本発明によれば、前記情報処理システムにおいて、第一のプロセッサは、実際に第二のプロセッサが必要とするプログラムおよびデータのみを第二のプロセッサに転送することとなり、第二のプロセッサの確実な動作が保証されることとなり、当該情報処理システムの信頼性が向上する。

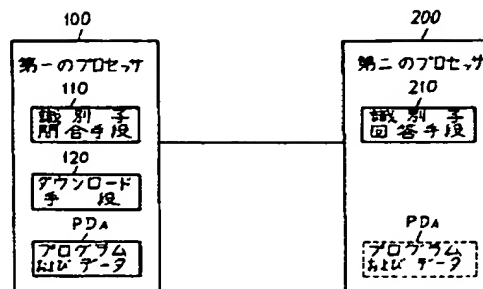
(8)

特開平4-155566(6)

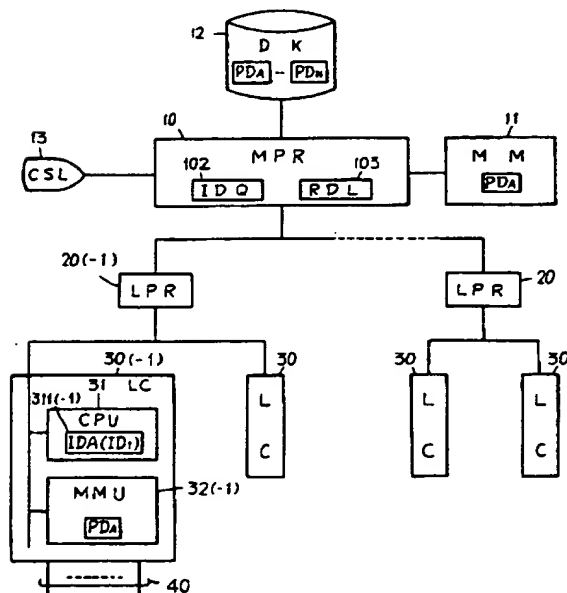
4. 図面の簡単な説明

第1図は本発明の原理を示す図、第2図は本発明の一実施例によるパケット交換機を示す図、第3図は第2図におけるダウンロード過程の一例を示す図、第4図は従来あるパケット交換機の一例を示す図、第5図は第4図におけるダウンロード過程の一例を示す図である。

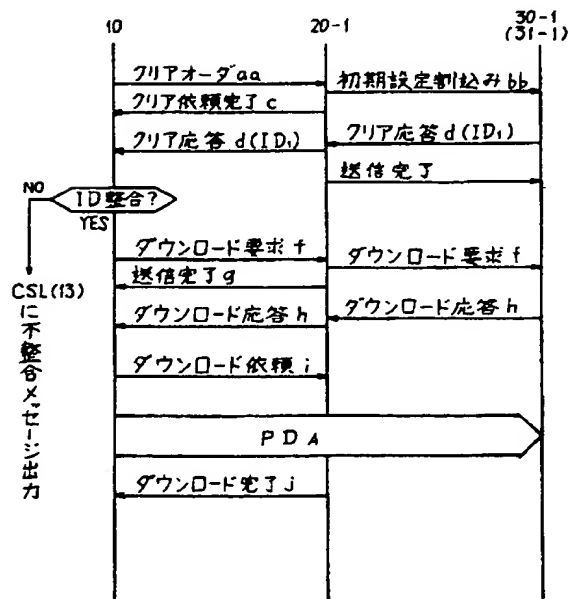
図において、10は管理プロセッサ(MPR)、11は主記憶装置(MM)、12はディスク記憶装置(DK)、13は保守コンソール(CSL)、20は回線処理部(LPR)、30は回線制御部(LC)、31は回線制御プロセッサ(CPU)、32は回線制御メモリ(MMU)、40は通信回線、100は第一のプロセッサ、101および103はダウンロード部(RDL)、102はプロセッサ識別子問合部(IDQ)、110は識別子問合手段、120はダウンロード手段、200は第二のプロセッサ、210は識別子回答手段、311はプロセッサ識別子回答部(IDA)、を示す。



本発明の原理図
第1図



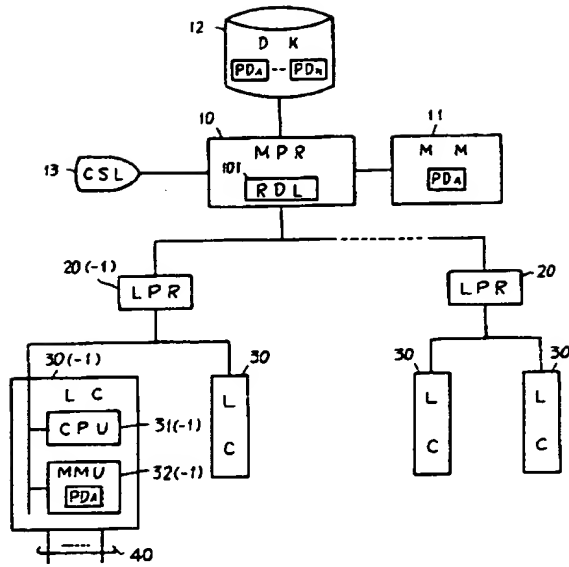
本発明によるパケット交換機
第2図



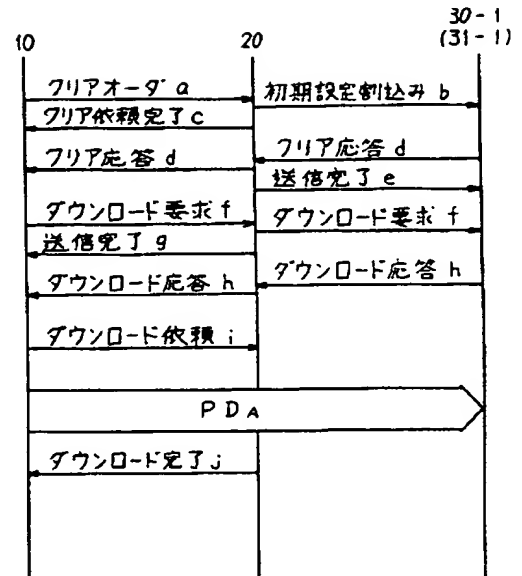
第2図におけるダウンロード過程
第3図

(9)

特開平4-155566 (7)



従来あるパケット交換機
第4図



第4図におけるダウンロード過程
第5図